

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022105

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 27/108

H01L 21/8242

(21)Application number : 10-183692

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.06.1998

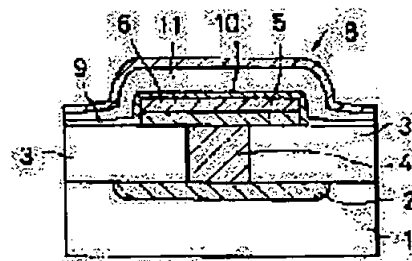
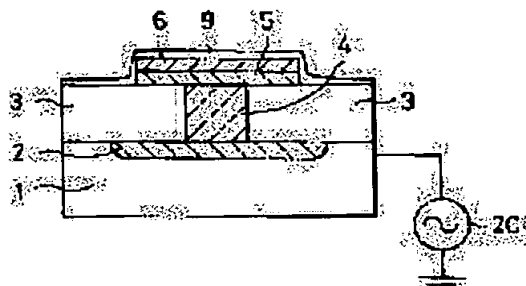
(72)Inventor : TAKEHIRO SHINOBU
YOSHIMARU MASAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to manufacture a capacitor structure using a very thin dielectric film of high dielectric rate easily and at low cost, by having a mixed region comprising the constituent elements of a dielectric film and the constituent elements of a lower electrode between the dielectric film and the lower electrode.

SOLUTION: The structure in which a lower electrode 6 and a barrier metal 6 are connected to a diffused region 2 formed on a silicon substrate 1 via a silicon plug 4 is formed. A high frequency voltage is applied on the substrate 1 by a high frequency power source 20. A dielectric initial layer 9 having a perovskite structure of film thickness 10 nm is formed on a lower electrode 6 exposed on the surface of the silicon electrode 1 and an interlayer insulation film by thin film deposition such as a sputter method or a CVD method. The dielectric initial layer 9 is subjected to heat treatment at the temperature of 300-700° C in a nonoxidizing atmosphere (e.g. N₂, etc.). Then, a second dielectric film 11 (e.g. BST film) having the perovskite structure is formed, and furthermore, a ruthenium group upper electrode 8 is formed by a sputter method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-22105
(P2000-22105A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テーマコード(参考)

6 5 1 5 F 0 8 3
6 2 1 B

審査請求 未請求 請求項の数11 O L (全 15 頁)

(21) 出願番号 特願平10-183692

(22) 出願日 平成10年6月30日 (1998.6.30)

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 竹廣 忍

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 ▲吉▼丸 正樹

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100095957

弁理士 亀谷 美明 (外2名)

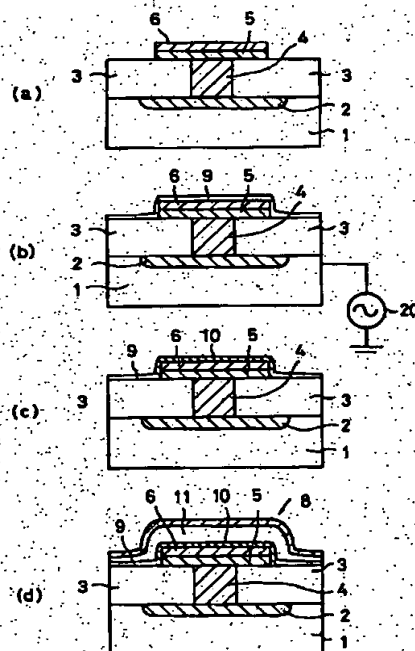
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ルテニウム系電極とペロブスカイト構造を有する誘電体の界面に均一組成の遷移層を効率よく形成し、高誘電率の極薄誘電体膜を使用したキャパシタ構造を容易かつ低コストで製造可能な、新規かつ改良された半導体装置の製造方法を提供する。

【解決手段】 複数のルテニウム系導電体電極とペロブスカイト構造を有する誘電膜とが積層されている半導体装置の製造方法において、前記半導体基板に第1の導電体電極を形成する工程と、前記第1の導電体電極の構成元素と第1の誘電体膜の構成元素とが混在する第1の領域を形成する工程と、前記第1の混在領域を非酸化性雰囲気中で熱処理して遷移層を形成する工程と、前記第1の導電体電極上に前記第1の誘電体膜を形成する工程とを有する。



【特許請求の範囲】

【請求項1】 白金、イリジウム、ルテニウムから成る高融点貴金属群のうち少なくとも1種以上の材料から成る複数の導電体電極と、非金属無機材料から成る誘電膜とが積層されている半導体装置の製造方法において：第1の導電体電極を形成する工程と；前記第1の導電体電極の構成元素と第1の誘電体膜の構成元素とが混在する第1の領域を形成する工程と；前記第1の混在領域を熱処理して遷移層を形成する工程と；前記第1の導電体電極上に前記第1の誘電体膜を形成する工程と；を含むことを特徴とする、半導体装置の製造方法。

【請求項2】 前記第1の混在領域を形成する工程は、前記第1の導電体電極が形成された前記半導体基板に高周波電圧を印加した状態で、前記第1の導電体電極上に前記第1の誘電体膜を形成する工程であることを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の混在領域を形成する工程は、酸化性雰囲気中でおこなう工程であることを特徴とする、請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記第1の導電体電極を形成する工程の後に、前記第1の導電体電極上に第1の導電体酸化物膜を形成する工程を含めることを特徴とする、請求項2に記載の半導体装置の製造方法。

【請求項5】 前記第1の混在領域を形成する工程は、前記第1の導電体電極に前記第1の誘電体の構成元素をイオン注入する工程であることを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項6】 前記遷移層を形成する工程は、非酸化雰囲気で行われることを特徴とする、請求項1、2、3又は4のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記遷移層を形成する工程は、500℃以下の酸化雰囲気で行われることを特徴とする、請求項1、2、3又は4のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記半導体基板上に形成された前記第1の誘電体膜上に第2の誘電体膜を形成する工程と、前記第2の誘電体膜の構成元素と第2の導電体電極の構成元素が混在する第2の領域を形成する工程と、前記第2の混在領域を非酸化性雰囲気中で熱処理して遷移層を形成する工程と、前記第2の誘電膜上に第2の導電体膜を形成する工程と、を含むことを特徴とする、請求項1、2、3、4、5、6又は7のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記第2の混在領域を形成する工程は、前記第2の誘電膜を形成した前記半導体基板に高周波電圧を印加した状態で前記第2の誘電体膜上に前記第2の導電体電極を形成する工程であることを特徴とする、請求項8記載の半導体装置の製造方法。

【請求項10】 前記第2の混在領域を形成する工程は、酸化性雰囲気中でおこなう工程であることを特徴と

する、請求項8又は9に記載の半導体装置の製造方法。

【請求項11】 前記第2の混在領域を形成する工程は、前記第2の誘電膜上に前記第2の導電体電極の構成元素をイオン注入する工程であることを特徴とする、請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、特に、キャパシタ構造を有するDRAM等の半導体メモリ素子の製造方法に関する。

【0002】

【従来の技術】キャパシタ電極に電荷を蓄積してデータの記憶を行う半導体記憶装置として、ダイナミックランダムアクセスメモリ(DRAM)、フェロエレクトリックランダムアクセスメモリ(FRAM)等が知られている。このような半導体記憶装置においては、近年における記憶容量の大容量化や素子の高集積化の要請のため、メモリセルを微細化する研究が進んでいる。

【0003】しかしながら、メモリセルを微細化することによって、キャパシタの面積が縮小しキャパシタ容量が低減してしまうため、雑音によりデータの呼び出しに誤動作が生じたり、また、キャパシタ部と電極の間で蓄積電荷が流出する、いわゆるリーク電流が発生し、データが変化してしまうという問題が生じてしまう。また、メモリセルの微細化が進んでくると、キャパシタをゲート電極上に単純に形成しただけでは、十分なキャパシタ容量を確保することが困難になるという問題も発生してきた。

【0004】このような問題点を解決する方法として、キャパシタ絶縁膜に、非金属無機材料のような誘電率の高い絶縁膜を使用する方法が提案されている。例えば、チタン酸バリウムストロンチウム($(\text{Ba}, \text{Sr})\text{TiO}_3$ ；以下、BSTと略す)等のペロブスカイト型の結晶構造を有する結晶は、誘電率が SiO_2 膜や Si_3N_4 膜に比べて数十倍と高いことから、上述したDRAM等の半導体メモリのキャパシタ膜としての適用が考えられている。

【0005】このBST膜等の高誘電率膜を適用したDRAMの一般的な製造方法を図10に示す。すなわち、まず図10(a)に示すように、例えばp型シリコン基板1上にイオン注入法によりn型拡散層領域2を形成した後、例えばCVD(化学気相成長)法を用いて酸化膜を堆積し、層間絶縁膜3を形成する。次に、ホトリソグラフィ法とドライエッチング技術により、n型拡散層2に貫通するコンタクトホールを形成し、続けて、このコンタクトホール内にリンをドーパした多結晶のシリコンプラグ4を形成する。

【0006】次いで、図10(b)に示すように、スパッタ法によりバリアメタル膜(例えば、Ti、TiNなど)5とのキャパシタ下部電極膜(例えば、Ruなど)

6を順次形成し、通常のホテルソグラフィーとエッチング技術を用いて、バリアメタル5とキャパシタ下部電極6を形成する。

【0007】次いで、例えばスパッタ法により誘電体膜（例えば、BST膜など）7を形成した後、スパッタ法によりキャパシタ上部電極（例えば、Ruなど）8を形成し、DRAMのメモリキャパシタ部が完成する。

【0008】しかしながら、上記のような一般的な従来技術の方法で、従来より薄膜化した誘電体膜7を形成すると、高誘電率である誘電体膜7の誘電率が減少するという現象が確認されている。この原因として、誘電体膜7と下部電極6あるいは上部電極8との間の界面の状態が影響していると考えられている。このような問題を解決し、良好な界面状態を実現するための方法として、以下のようなキャパシタ部の製造方法が開示されている。

【0009】例えば、特開平9-82915号公報には、高誘電率膜に上部電極膜あるいは下部電極膜を形成した後熱処理することにより、良好な界面が形成されたキャパシタ部の製造方法が開示されている。すなわち、まず図11(a)に示すように、p型の単結晶シリコン基板に、素子分離領域32を形成し、単結晶シリコン基板に熱酸化膜と多結晶シリコン膜を形成した後、ゲート電極を形成する。さらに、イオン注入してn型拡散領域34、35を形成した後、酸化膜である層間絶縁膜36を形成する。次いで、この層間絶縁膜36にn型拡散領域に貫通するコンタクトホールを形成し、このコンタクトホール内に多結晶シリコン膜37を形成してリン等の不純物を添加する。さらに、タングステンシリサイド膜を堆積し、フォトリソグラフィー法とエッチング技術を用いてビット線を形成する。次に、CVD法を用いて、酸化膜を堆積して、層間絶縁膜39を形成したのち、ヒ素を含有する多結晶シリコン膜40をコンタクトホール内および層間絶縁膜39上に形成し、この多結晶シリコン膜40をコンタクトホール内に埋め込む。

【0010】次いで、図11(b)に示すように、ルテニウム膜を堆積した後、キャパシタの下部電極41を形成した後、図11(c)に示すように、非晶質BST膜42を形成する。次いで、図11(d)に示すように、例えば温度700℃の酸素雰囲気中で熱処理をおこなう、ルテニウム膜41の表面に酸化ルテニウム膜43を形成することにより、ルテニウム膜41とBST膜に良好な界面を形成する。

【0011】また、例えばJpn. J. Appl. Phys. Vol.36(1997)には、ペロブスカイト結晶構造のBaRuO₃やSrRuO₃などの酸化物導電体を電極に用いることによって、電極膜とその上に形成されるBST膜との間に良好な界面の状態を維持する方法が開示されている。すなわち、Ptなどの金属電極上にBST膜を形成すると電極とBST膜の界面上に低誘電率層が形成して誘電率を低下させてしまうことから、

このような低誘電率層を形成しないペロブスカイト結晶構造を有する酸化物電極を採用することを提案している。また、このペロブスカイト結晶構造を有する酸化物の格子常数は、同じペロブスカイト結晶構造を有しているBST膜の格子常数と非常に近いので、このペロブスカイト酸化物電極上にBST膜を形成した場合に、互いの結晶格子がより良好な状態で整合することができるので、BST膜と電極との間の界面を良好な状態に維持することができる。この結晶格子の整合を良くするために、格子のねじれない単結晶のBST膜を使用することによってさらに良好な界面の状態を得ることができる。

【0012】

【発明が解決しようとする課題】しかしながら、特開平9-82915号公報に開示された構成では、熱処理による相互拡散のみによってBST膜とルテニウム電極の構成元素を固溶することから、酸素雰囲気中で700℃程度の高温で熱処理する必要があるため、ルテニウム電極やその下に形成されているバリアメタル（例えば、TiNなど）も必要以上に酸化されてしまうという問題があった。このため、電極の導電率が劣化してしまい、誘電体の見かけ上の誘電率を減少させてしまうという問題が生じた。また、BST膜やルテニウム電極の各構成元素の拡散係数がそれぞれ異なるため、熱処理の相互拡散だけでは不均一な組成の遷移層が形成されてしまうという問題がある。特に、Tiが多い組成の遷移層領域では、低誘電率のチタン酸化物(TiO₂)を形成してしまうので、誘電体の見かけ上の誘電率を減少させてしまうことになる。

【0013】また、Jpn. J. Appl. Phys. Vol.36(1997)に開示されている構成では、電極として用いるペロブスカイト結晶構造の導電体材料（例えばBaRuO₃やSrRuO₃など）は、ドライエッチング技術による加工が非常に困難であるという問題がある。すなわち、BaRuO₃やSrRuO₃などの電極材料をエッチングすると、融点の高い反応生成物（すなわち、BaやSrのハロゲン化合物）が生成してしまうため、この反応生成物が物質表面から容易に離脱しないからである。例えば、導電体材料であるBaRuO₃やSrRuO₃をエッチングすることにより生成するBaCl₂やSrCl₂は、BaCl₂で963℃、SrCl₂で875℃と非常に高いものであるため、ドライエッチング技術では加工が困難であるという問題がある。

【0014】本発明は、従来の技術が有する上記のような問題点を鑑みてなされたものであり、本発明の目的は、ルテニウム系電極とペロブスカイト構造を有する誘電体の界面に均一組成の遷移層を効率よく形成し、高誘電率の極薄誘電体膜を使用したキャパシタ構造を容易かつ低コストで製造可能な、新規かつ改良された半導体装

置の製造方法を提供することである。

【0015】

【課題を解決するための手段】上記問題を解決するために、本発明によれば、請求項1に記載の発明のように、プラチナ、イリジウム、ルテニウムから成る高融点貴金属群のうち少なくとも1種以上の材料から成る複数の導電体電極と、非金属無機材料から成る誘電膜、例えばペロブスカイト構造を有する誘電膜とが積層されている半導体装置の製造方法において、第1の導電体電極を形成する工程と、前記第1の導電体電極の構成元素と第1の誘電体膜の構成元素とが混在する第1の領域を形成する工程と、前記第1の混在領域を熱処理して遷移層を形成する工程と、前記第1の導電体電極上に前記第1の誘電体膜を形成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0016】かかる構成によれば、誘電体膜と下部電極の間に誘電体膜の構成元素と下部電極の構成元素の混在領域を有しているため、比較的低温の熱処理の相互拡散のみによっても良好な遷移層である酸化物層 ($Ba_x Sr_y Ru_z Ti_w O_3$ 層) を得ることができる。この結果、極薄の高誘電膜を使用しても誘電体膜からのリーク電流が減少し良好な誘電体膜特性が得られる。また、この遷移層は下部電極上に自己整合的に形成されるので、従来の $SrRuO_3$ 層に相当する下部電極を容易に形成することができる。したがって、従来方法に比べて、ドライエッチングする工程を省略することができるので、工程が簡略化でき、生産コストや歩留まりが向上する。

【0017】また、例えば、請求項2に記載の発明のように、上記混在領域の形成を、導電体電極が形成された半導体基板に高周波電圧を印加した状態で、導電体電極上に誘電体膜を形成すれば、半導体基板に印加する高周波電圧のパワーに応じて、下部電極に打ち込まれる誘電体膜の各構成元素のスパッタ量を変化させることができるので、上記混在領域の組成を制御することができる。

【0018】また、例えば、請求項3に記載の発明のように、上記混在領域の形成をガス組成中の酸素濃度比を高めた酸化性雰囲気中でおこなえば、上記混在領域中の酸素含有量を増やすことができるので、十分に酸化した遷移層を形成することができる。また、例えば、請求項4記載の発明のように、第1の導電体電極を形成する工程の後に、第1の導電体電極上に第1の導電体酸化物膜を形成する工程を含めれば、下部電極の表面に下部電極 (例えば、 Ru) の酸化物である導電性酸化膜 (RuO_2) を形成することができるので、上記混在領域中の酸素含有量を増やすことができ、十分に酸化した遷移層を形成することができる。

【0019】また、例えば、請求項5記載の発明のように、混在領域の形成を、導電体電極に誘電体の構成元素をイオン注入する工程であることを含めれば、下部電極の表面に誘電体膜の構成元素を混入させることができる

ので、半導体基板に高周波電圧を印加する方法と比較して、より制御性よく誘電体膜の構成元素を多量に下部電極の表面に混入することができる。

【0020】さらに、請求項6に記載の発明のように、前記遷移層を非酸化雰囲気中で熱処理して形成すれば、下部電極及びバリアメタルの過剰な酸化がされずに、良好な遷移層である酸化物層 ($Ba_x Sr_y Ru_z Ti_w O_3$ 層) を得ることができる。また、請求項7に記載のように、 500°C 以下の低温で熱処理する場合には、酸化雰囲気であっても下部電極が酸化されることなく、良好な遷移層を形成することができる。

【0021】さらに、例えば、請求項8に記載の発明のように、前記半導体基板上に形成された前記第1の誘電体膜上に第2の誘電体膜を形成する工程と、前記第2の誘電体膜の構成元素と第2の導電体電極の構成元素が混在する第2の領域を形成する工程と、前記第2の混在領域を非酸化性雰囲気中で熱処理して遷移層を形成する工程と、前記第2の誘電膜上に第2の導電体膜を形成する工程とを含めれば、下部電極と誘電体膜の界面のみならず上部電極と誘電体膜との間にも良好な界面を形成することができるので、誘電体膜と下部電極の間にのみ良好な界面を形成する方法と比較して、電荷蓄積能力をより向上させることができ、特に誘電体膜を極薄化した場合に、非常に容量が高いキャパシタを実現することができる。

【0022】また、例えば、請求項9に記載の発明のように、第2の混在領域の形成が、第2の誘電膜を形成した半導体基板に高周波電圧を印加した状態で第2の誘電体膜上に上部電極を形成する工程とを含めれば、半導体基板に印加する高周波電圧のパワーに応じて、第2の誘電体に打ち込まれる電極の各構成元素のスパッタ量を変化させることができるので、上記混在領域の組成を制御することができる。また、請求項10に記載の発明のように、この工程をガス組成中の酸素濃度比を高めた酸化性雰囲気中でおこなえば、電極膜初期層である混在領域の酸素含有量を増やすことができるので、より酸化した遷移層を形成することができる。

【0023】また、例えば、請求項11に記載の発明のように、第2の混在領域の形成を第2の誘電膜上に前記上部電極の構成元素をイオン注入する工程であることを含めれば、誘電体膜の表面にイオン注入技術により上部電極の構成元素を混入させることができ、半導体基板に高周波電圧を印加する方法と比較して、より制御性よく上部電極の構成元素を多量に誘電体表面へ混入することができる。

【0024】

【発明の実施の形態】以下に、添付図面を参照しながら、本発明にかかる半導体装置の製造方法を、キャパシタ構造を有するDRAMの製造方法に適用した、実施の形態について詳細に説明する。なお、以下の説明および

添付図面において、略同一の機能構成を有する部材には同一の符号を付することにより、重複説明を省略することにする。

【0025】(第1の実施の形態)本実施形態に使用されるスパッタ装置の概略図を図1に示す。図1において、本スパッタ装置は、高周波電源20、24、ターゲット21、チャンバ23、サンプルホルダ25などから構成されている。また、ターゲット21には高周波電源20が接続され、サンプルホルダ25には高周波電源20が接続されている。このターゲット21にアルゴンイオン(Ar^+)が打ち込まれると、ターゲット21からスパッタ粒子22がはじき出され、サンプルホルダ25に搭載された半導体装置上に蒸着し、薄膜が形成される。

【0026】次に、図2を参照しながら、第1の実施の形態のDRAMの製造方法について説明する。まず、図2(a)に示すように、第1に、例えばp型シリコン基板1上にイオン注入法によりn型拡散領域2を形成し、次に、例えばCVD法により、膜厚100nm~1000nmの層間絶縁膜3を形成し、その後n型拡散領域2に貫通するコンタクトホールを形成し、前記コンタクトホール内にリンをドーパした多結晶のシリコンプラグ4を形成する。次に、スパッタ法により、膜厚10nm~100nmのバリアメタル(例えば、 TiN)と膜厚30nm~500nmのルテニウム系下部電極膜(例えば、 Ru)6を順次堆積した後、ホトリソグラフィとエッチング技術によりキャパシタの下部電極6を形成する。このように、下部電極6とバリアメタル5が、シリコンプラグ4を介してシリコン基板1上に形成された拡散領域2と接続されている構造が完成する。なお、この方法は、従来の製造方法と同様である。

【0027】次いで、図2(b)に示すように、上記処理がされたシリコン基板1に、高周波電源20により高周波電圧を印加し、このシリコン基板1の表面に露出している下部電極6及び層間絶縁膜3上に、膜厚10nmのペロブスカイト構造を有する誘電体初期層(例えば、BST層)9をスパッタ法、CVD法などの成膜技術により形成する。

【0028】このように高周波電圧をシリコン基板1に印加して誘電体初期層9を成膜すると、シリコン基板1側へはプラズマポテンシャルに対し負の電圧が印加され、 Ar イオンや O イオン、さらに、誘電体初期層9の構成元素である Ba イオン、 Sr イオン、 Ti イオンがシリコン基板1へ入射する。これによりシリコン基板1へ堆積した誘電体初期層9や下部電極6は逆スパッタされ、また、誘電体初期層9の構成元素である Ba イオン、 Sr イオン、 Ti イオンは下部電極6中へ打ち込まれる。このように下部電極6の表面は、誘電体膜初期層9の構成元素が混在した状態となる。

【0029】このシリコン基板1へ打ち込まれた誘電体

初期層9の各構成元素(Ba 、 Sr 、 Ti)の逆スパッタ量とシリコン基板1へ印加した高周波電圧との関係を図3に示す。図3において、シリコン基板1に印加する高周波電圧が増加するにつれて、誘電体初期層9の各構成元素の逆スパッタ量は増加しているのがわかる。さらに、誘電体初期層9の各構成元素の逆スパッタ量は、 $Ti > Ba > Sr$ の順で多くなるので、誘電体初期層9の構成元素中 Ti が最も多くそして Sr が最も少なく誘電体初期層9から離脱してシリコン基板1中に打ち込まれるので、初期の誘電体膜9は Ti が少なく Sr が多い膜になる。

【0030】また、例えばシリコン基板1に80Wの高周波電圧を印加して成膜した誘電体初期層9の深さ方向での組成比は、図4に示すように、成膜初期の誘電体初期層9(ポイントD)には下部電極6の構成元素である Ru が約15%混入している。このように、シリコン基板1に高周波電圧を印加することにより誘電体初期層9中に Ru を混入させることができる。また、高周波電圧の増加に伴って誘電体層中の Sr と Ru の組成量は増加し、最終的には $SrRuO_3$ 膜が誘電体初期層9の成膜初期に形成される。

【0031】次に、本実施形態にかかる方法より形成された誘電体初期層(BST層)9と一般的な成膜方法により形成されたBST層と熱処理により遷移層を形成する方法(特開平9-82915)により形成したBST層について、それぞれの比誘電率を図5に示す。図5に示すように、BST層の比誘電率は、本実施形態にかかる方法により形成したBST層が最も高い誘電率を有することがわかる。

【0032】その後、図2(c)に示すように、誘電体初期層(BST層)9を非酸化性雰囲気(例えば N_2 等)中で、300~700℃の温度で熱処理をおこなう。この結果、誘電体初期層9と下部電極6の間には、低温の熱処理でも遷移層10が形成され、界面の状態は良好になる。なお、この熱処理は、熱処理炉または急速加熱法のどちらの方法でおこなっても良いが、酸素が過剰に拡散することを防止する点を考慮すると急速加熱法で熱処理をおこなうことが好ましい。

【0033】その後、図2(d)に示すように、膜厚40nmのペロブスカイト構造を有する第2誘電体膜(例えば、BST膜)11を、例えばスパッタ法、CVD法などの成膜技術により形成し、さらに、スパッタ法により膜厚50nm~300nmのルテニウム系上部電極(例えば、 Ru)8を成膜して、DRAMのキャパシタ構造が完成する。この後、通常のLSIプロセスにしたがって、配線、パッシベーション膜等を形成して、DRAMが完成する。

【0034】以上のように、誘電体初期層9の成膜中にシリコン基板1へ高周波電力を印加することにより、下部電極9に誘電体膜初期層9の構成元素を混在させるこ

とができるので、低温かつ非酸化雰囲気中の熱処理であっても、誘電体初期層9と下部電極6の間に良好な遷移層 ($\text{Ba}_x\text{Sr}_y\text{Ru}_z\text{Ti}_w\text{O}_3$ 層) 10を形成することができる。この結果、極薄の高誘電膜を使用しても誘電体膜からのリーク電流が減少し良好な誘電体膜特性が得られる。また、この熱処理が低温で可能なため、下部電極6やバリアメタル5が過剰に酸化されることなく良好な遷移層10を形成できる。さらに、この遷移層10は下部電極6上に自己整合的に形成されるため、ドライエッチングの工程を省略することができるので、工程が簡略化でき、生産コストと歩留まりが向上する。

【0035】(第2の実施の形態) 第1の実施形態においては、下部電極6が形成されたシリコン基板1に高周波電圧を印加した状態で下部電極6上に誘電体初期層9を形成しているが、この工程をガス組成中の酸素濃度比を高めた状態でおこない誘電体初期層9の酸素含有量を増加させることにより、より十分に酸化した遷移層10を形成することができる。以下、第2の実施の形態を図2に基づいて詳細に説明する。

【0036】まず、図2(a)に示すように、n型拡散領域2にコンタクトホールを形成し、続けて前記コンタクトホール内にリンがドーパされている多結晶のシリコンプラグ4を形成し、キャパシタのルテニウム系下部電極6を形成する工程までは、第1の実施の形態と同様に、従来の製造方法によりおこなう。

【0037】次いで、ガス組成中の酸素濃度比 ($\text{O}_2/(\text{Ar}+\text{O}_2)$) を20~100%に増加させたガス雰囲気中で、下部電極(例えば、Ru)6および層間絶縁膜3上に膜厚10nmのペロブスカイト構造を有する誘電体初期層(例えば、BST層)9をスパッタ法等の成膜技術により形成する。この際、第1実施形態と同様に、シリコン基板1には高周波電源20から高周波電圧が印加されている。

【0038】このように、誘電体初期層9を成膜する際にガス組成中の酸素濃度比を増加させることによって、誘電体初期層9中の酸素含有量を増加させることができる。一方、シリコン基板1にも高周波電力が印加されているので、第1の実施の形態と同様に、逆スパッタ現象により誘電体初期層9の成膜初期に SrRuO_3 膜が形成されている。すなわち、本実施形態では、第1実施形態で形成された混在領域にさらに酸素含有量を増やすことができる。

【0039】その後、図2(c)に示すように、誘電体初期層9を非酸化性雰囲気(例えば、 N_2 等)中で、300~700℃の温度で熱処理を行う。この結果、誘電体初期層9と下部電極6の間に遷移層 ($\text{Ba}_x\text{Sr}_y\text{Ru}_z\text{Ti}_w\text{O}_3$ 層) 10が形成されるが、酸素含有量が第1の実施形態に比較して増加しているため、より十分に酸化した遷移層10が得ることができ、誘電初期層9と下部電極6の界面の状態は良好になる。なお、この熱

処理は、熱処理炉または急速加熱法のどちらの方法でおこなっても良いが、酸素が過剰に拡散することを防止する点を考慮すると急速加熱法で熱処理をおこなうことが好ましい。

【0040】その後、図2(d)に示すように、膜厚40nmのペロブスカイト構造を有する第2誘電体膜(例えば、BST膜)11を、例えばスパッタ法、CVD法などの成膜技術により形成する。次に、スパッタ法により膜厚50nm~300nmのルテニウム系上部電極(例えば、Ru)8を形成し、DRAMのキャパシタ構造が完成する。この後、通常のLSIプロセスにしたがって、配線、バッシベーション膜等を形成して、DRAMが完成する。

【0041】本実施の形態は、以上のように構成されており、ガス組成中の酸素濃度比を増加させて、第1実施形態と同様の方法で誘電体初期層9を成膜しているのので、誘電体初期層9中の酸素含有量が増加した状態で、下部電極9に誘電体膜初期層9の構成元素を混在させることができる。これにより非酸化性雰囲気中の熱処理においても誘電体膜初期層9から十分に酸素の供給をすることができるので、第1実施形態と比較してより十分に酸化した遷移層10を形成することができる。

【0042】(第3の実施の形態) 第2実施形態においては、ガス組成中の酸素濃度比を高めることによって誘電体初期層9中の酸素含有量を増加することによって、十分に酸化した遷移層10を得ているが、下部電極6と誘電体初期層9の間に導電性酸化膜12を形成することによっても、十分酸化した遷移層10を得ることができる。以下、図6に基づいて、本実施形態を説明する。

【0043】まず、n型拡散領域2にコンタクトホールを形成し、続けて前記コンタクトホール内にリンをドーパされた多結晶のシリコンプラグ4を形成する工程までは、第1の実施の形態と同様に、従来の製造方法によりおこなう。

【0044】次いで、図6(a)に示すように、バリアメタル膜(例えば、TiN)5をスパッタ法により堆積した後、ルテニウム系下部電極膜(例えば、Ru)6をスパッタ法により順次堆積し、さらに下部電極6の酸化物である導電性酸化物膜(例えば、 RuO_2)12をスパッタ法により10nm堆積する。その後、ホトリソグラフィとエッチング技術によりバリアメタル5、下部電極6、導電性酸化膜電極12を形成する。

【0045】次いで、図6(b)に示すように、導電性酸化膜12上に膜厚10nmのペロブスカイト構造を有する誘電体初期層(例えば、BST層)9を例えばスパッタ法、CVD法などの成膜技術により形成する。この際、第1の実施形態と同様に、誘電体初期層9が成膜される間、シリコン基板1には高周波電源20により高周波電圧が印加されている。

【0046】すなわち、第2実施形態においては、誘電

体初期層9に酸素含有量を増加させているが、本実施形態においては、下部電極6と誘電体初期層9の間に導電性酸化膜12を形成することによって良好な界面の形成に必要な酸素含有量を増加している。そして、この方法によれば、下部電極6の表面に下部電極（例えば、Ru）の酸化物である導電性酸化膜（例えば、 RuO_2 ）12が形成することになるので、非酸化雰囲気中の熱処理においても、この導電性酸化膜12から界面に酸素を供給することができるので、十分に酸化した遷移層10を形成することができる。また、誘電体初期層9が成膜される間、シリコン基板1には高周波電源20により高周波電圧が印加されているので、上述の逆スパッタ現象により、誘電体初期層9の成膜初期には、 SrRuO_3 膜が形成される。

【0047】その後、図6（c）に示すように、誘電体初期層9を非酸化性雰囲気（例えば N_2 など）中で、300～700℃の温度で熱処理を行う。この結果、誘電体初期層9と下部電極6の間に遷移層（ $\text{Ba}_x\text{Sr}_y\text{Ru}_z\text{Ti}_w\text{O}_3$ 層）10が形成されることになるが、この遷移層10の形成の際には、酸素が導電性酸化膜12から供給されるため、第1の実施形態に比較して、より十分に酸化した遷移層10が得ることができ、誘電初期層9と下部電極6の界面の状態は良好になる。なお、この熱処理は、熱処理炉または急速加熱法のどちらの方法でおこなっても良いが、酸素が過剰に拡散することを防止する点を考慮すると急速加熱法で熱処理をおこなうことが好ましい。

【0048】その後、図6（d）に示すように、膜厚40nmのペロブスカイト構造を有する第2誘電体膜（例えば、BST膜）11を、例えばスパッタ法、CVD法などの成膜技術により形成する。次に、スパッタ法により膜厚50nm～300nmのルテニウム系上部電極（例えば、Ru）8を成膜し、DRAMのキャパシタ構造が完成する。この後、通常のLSIプロセスにしたがって、配線、パッシベーション膜等を形成して、DRAMが完成する。

【0049】本実施形態は、以上のように構成されており、下部電極6と誘電体初期層9との間に下部電極6の導電性酸化膜（ RuO_2 ）を形成してから、誘電体初期層9の構成元素を混在させているので、非酸化性雰囲気中の熱処理においてもこの導電性酸化膜12から十分に酸素が供給されるため、第1の実施形態と比較してより十分に酸化した遷移層10を形成することができる。

【0050】（第4の実施の形態）第1の実施形態においては、下部電極6に誘電体初期層9の構成元素を混入させる方法として、シリコン基板1に高周波電圧を印加する方法を採用したが、下部電極6の表面にイオン注入技術によって誘電体初期層9の構成元素をイオン注入することによっても誘電体初期層9の構成元素を下部電極6に混入させることができる。以下、図7を参照しながら、

第4の実施の形態にかかるDRAMの製造方法について説明する。

【0051】まず、図7（a）に示すように、n型拡散領域2にコンタクトホールを形成し、続けて前記コンタクトホール内にリンをドーパされた多結晶のシリコンブラグ4を形成し、キャパシタのルテニウム系下部電極6を形成する工程までは、第1の実施の形態と同様に、従来の製造方法によりおこなう。

【0052】次いで、図7（b）に示すように、下部電極（例えば、Ruなど）6表面上にイオン注入技術により加速電圧10～30KeVでドーパ量 $10^{15} \sim 10^{18} \text{ cm}^{-2}$ でSrイオンなどの誘電体初期層9の構成元素をイオン注入する。

【0053】このように、イオン注入法により誘電体初期層9の構成元素を下部電極6の表面上に混入させることにより、第1の実施形態のようなシリコン基板1へ高周波電圧を印加する方法と比較して、より制御性がよく誘電体初期層9の構成元素を下部電極6の表面中へ多量に混入することができる。

【0054】次いで、図7（c）に示すように、下部電極6の表面上にペロブスカイト構造を有する誘電体初期層9（例えば、BST層）を形成した後、非酸化性雰囲気（例えば、 N_2 など）中で300～700℃の温度で熱処理を行う。この結果、誘電体初期層9と下部電極6の間に遷移層（ $\text{Ba}_x\text{Sr}_y\text{Ru}_z\text{Ti}_w\text{O}_3$ 層）14が形成され、誘電体初期層9と下部電極6の界面の状態は良好になる。なお、この熱処理は、熱処理炉または急速加熱法のどちらの方法でおこなっても良いが、酸素が過剰に拡散することを防止する点を考慮すると急速加熱法で熱処理をおこなうことが好ましい。

【0055】その後、図7（d）に示すように、膜厚40nmのペロブスカイト構造を有する第2誘電体膜（例えば、BST層）11を、例えばスパッタ法、CVD法などの成膜技術により形成する。次に、スパッタ法により膜厚50nm～300nmのルテニウム系上部電極（例えば、Ru）8を成膜して、DRAMのキャパシタ構造が完成する。この後、通常のLSIプロセスにしたがって、配線、パッシベーション膜等を形成して、DRAMが完成する。

【0056】本実施形態は、以上のように構成されており、下部電極6の表面にイオン注入技術により誘電体初期層9の構成元素を混入することによって、下部電極6に誘電体初期層9の構成元素を混在させることができる。この結果、第1の実施形態のようなシリコン基板1へ高周波を印加してする方法と比較して、より制御性よく誘電体初期層9の構成元素を下部電極6の表面中へ多量に混入することができる。

【0057】（第5の実施の形態）上記第1の実施形態から第4の実施形態においては、誘電体初期層9と下部電極6の界面の状態を良好することによって、誘電体膜

特性の向上を図っているが、さらに、第2誘電体膜11と上部電極8の界面の状態を良好にすることによって、誘電体膜特性のより一層の向上を図ることができる。以下、図8を参照しながら、第5の実施の形態について説明する。

【0058】まず、図8(a)に示すように、n型拡散領域2にコンタクトホールを形成し、続けて前記コンタクトホール内にリンをドーパされた多結晶のシリコンプラグ4を形成し、キャパシタのルテニウム系下部電極6を形成し、シリコン基板1に高周波電圧を印加しながらペロブスカイト構造を有する誘電体初期層9を形成し、非酸化性雰囲気中で熱処理をおこなって遷移層を形成し、ペロブスカイト構造を有する第2誘電体膜11を形成する工程まで、すなわち、上部電極形成前までの工程は、第1の実施の形態と同様の製造方法によりおこなう。

【0059】次いで、図8(b)に示すように、上記処理がされたシリコン基板1に高周波電源20により高周波電圧を印加して、このシリコン基板1に形成されている第2誘電体膜11上に、スパッタ法などの成膜技術で、ルテニウム系上部電極初期層(例えば、Ru)13を例えば10nm堆積する。次いで、高周波電圧を印加せずにルテニウム系第2上部電極膜(例えば、Ru)15を形成する。

【0060】このように高周波電圧をシリコン基板1に印加して、上部電極初期層13を成膜すると、シリコン基板1側へはプラズマポテンシャルに対し負の電圧が印加され、ArイオンやOイオンがシリコン基板1へ入射することになる。この場合、第1の実施形態で示した下部電極(例えば、Ru)6と誘電体初期層(例えば、BST層)9が逆になった形で高周波電圧が印加されているので、第2誘電体膜11の構成元素であるBaイオン、Srイオン、Tiイオンが上部電極初期層13に入射することになる。このように上部電極初期層13は、第2誘電体膜11の構成元素が混在した状態となる。

【0061】次いで、図8(c)に示すように、第2上部電極膜(例えば、Ru)15を形成後、非酸化性雰囲気(例えば、N₂)中で、300～700℃の温度で熱処理を行う。この結果、第2誘電体膜11と第2上部電極15の間には、低温の熱処理でも遷移層14が形成され、第2誘電体膜11と第2上部電極15の間の界面の状態は良好になる。なお、この熱処理は、熱処理炉または急速加熱法のどちらの方法でおこなっても良いが、酸素が過剰に拡散することを防止する点を考慮すると急速加熱法で熱処理をおこなうことが好ましい。

【0062】このように、DRAMのキャパシタ構造が完成した後、通常のLSIプロセスにしたがって、配線、パッシベーション膜等を形成して、DRAMが完成する。

【0063】本実施形態は、以上のように構成されており、上部電極初期層13が成膜される間に、高周波電圧

をシリコン基板1に印加することにより、ArイオンやOイオンがシリコン基板1へ入射し、上部電極初期層13中には誘電体膜の構成元素(Ba, Sr, Ti)が混入することになるので、低温かつ非酸化雰囲気中の熱処理にであっても、第2誘電体膜11と第2上部電極15の間に遷移層14が形成されるので、第2誘電体膜13と第2上部電極15の界面の状態は良好になる。この結果、誘電体初期層9と下部電極6の間の界面の状態を良好にするだけでなく、第2誘電体膜11と第2上部電極15の間の界面の状態を良好にするので誘電体膜特性のより一層の向上を図ることができる。

【0064】(第6の実施の形態)上記第5の実施の形態においては、第2誘電体膜が形成されているシリコン基板1に高周波電圧を印加した状態で上部電極初期層13を形成しているが、この工程をガス組成中の酸素濃度比を高めた状態でおこない上部電極初期層13の酸素含有量を増加させることにより、より十分に酸化した遷移層14を得ることができる。以下、第6の実施の形態を図8に基づいて説明する。

【0065】まず、図8(a)に示すように、n型拡散領域2にコンタクトホールを形成し、続けて前記コンタクトホール内にリンをドーパされた多結晶のシリコンプラグ4を形成し、キャパシタの下部電極6を形成し、シリコン基板1に高周波電圧を印加しながらペロブスカイト構造を有する誘電体初期層9を形成し、非酸化性雰囲気中で熱処理をおこなって遷移層を形成し、ペロブスカイト構造を有する第2の誘電体膜11を形成する工程まで、すなわち、上部電極形成前までの工程は、第1の実施の形態と同様の製造方法によりおこなう。

【0066】次いで、図8(b)に示すように、ガス組成中の酸素濃度比($O_2 / (Ar + O_2)$)を20～100%に増加させたガス雰囲気中で、第2誘電体膜(例えば、BST膜など)11上に、膜厚10nmのルテニウム系上部電極初期層(例えば、Ruなど)13をスパッタ法などの成膜技術により形成する。この際、第5の実施の形態と同様に、シリコン基板1には高周波電源20から高周波電圧が印加されている。

【0067】このように、上部電極初期層13を成膜する際にガス組成中の酸素濃度比を増加させることによって、上部電極初期層13中の酸素含有量を増加させることができる。一方、シリコン基板1にも高周波電力を印加されているので、第5の実施の形態と同様に、上部電極初期層13には、SrRuO₃膜が形成されている。すなわち、本実施形態では、第5の実施形態で形成された混在領域にさらに酸素含有量を増やすことができる。

【0068】そして、図8(c)に示すように、ルテニウム系第2上部電極膜(例えば、Ru)15を形成後、非酸化性雰囲気(例えばN₂など)中で300～700℃の温度で熱処理を行う。この結果、第2誘電体膜(例えばBST膜)11と第2上部電極膜(例えば、Ru)

15の間に遷移層 ($Ba_x Sr_y Ru_z Ti_w O_3$ 層) 14が形成されるが、酸素含有量が第5の実施形態と比較して増加しているため、より十分に酸化した遷移層14が得ることができ、第2誘電体膜13と第2上部電極膜15の界面の状態は良好になる。なお、この熱処理は、熱処理炉または急速加熱法のどちらの方法でおこなっても良いが、酸素が過剰に拡散することを防止する点を考慮すると急速加熱法で熱処理をおこなうことが好ましい。

【0069】このように、DRAMのキャパシタ構造が完成する。その後、通常のLSIプロセスにしたがって、配線、パッシベーション膜等を形成して、DRAMが完成する。

【0070】本実施形態は、以上のように構成されており、ガス成分中の酸素濃度比を増加させて、第5の実施の形態と同様の方法で上部電極初期層13を形成しているので、上部電極初期層13中の酸素含有量が増加した状態で、上部電極初期層13中に第2誘電体膜11の構成元素を混入することができる。これにより非酸化性雰囲気中の熱処理においても上部電極初期層から十分に酸素の供給をすることができるので、第5の実施形態と比較してより十分に酸化した遷移層10を形成することができる。

【0071】(第7の実施の形態) 第6の実施の形態においては、シリコン基板1に高周波電圧を印加することによって上部電極初期層13に第2誘電体膜11の構成元素を混入させて第2の混在領域を形成する方法を採用したが、第2誘電体膜11の表面にイオン注入技術によって第2上部電極15の構成元素をイオン注入することによっても第2の混在領域を形成することができる。以下、図9を参照しながら、第7の実施の形態について説明する。

【0072】まず、図9(a)に示すように、n型拡散領域2にコンタクトホールを形成し、続けて前記コンタクトホール内にリンをドーパされた多結晶のシリコンプラグ4を形成し、キャパシタのルテニウム系下部電極6を形成し、シリコン基板1に高周波電圧を印加しながらペロブスカイト構造を有する誘電体初期層9を形成し、非酸化性雰囲気中で熱処理をおこなって遷移層を形成し、ペロブスカイト構造を有する第2誘電体膜11を形成する工程まで、すなわち、上部電極形成前までの工程は、第1の実施の形態と同様の製造方法によりおこなう。

【0073】次いで、図9(b)に示すように、第2誘電体膜(例えば、BST膜など)11の上に、イオン注入技術により加速電圧10〜30KeVでドーパ量 $10^{15} \sim 10^{18} \text{ cm}^{-2}$ で第2誘電体膜11の表面にルテニウム系第2上部電極15の構成元素のイオン(例えば、Ruイオン)をイオン注入する。

【0074】このように、イオン注入法により第2上部電極15の構成元素を第2誘電体膜(例えば、BST膜

など)11上に混入させることにより、第5の実施形態のようなシリコン基板1へ高周波電圧を印加する方法と比較して、より制御性がよく第2上部電極15の構成元素を第2誘電体11の表面中へ多量に混入することができる。

【0075】次いで、図9(c)に示すように、ルテニウム系第2上部電極膜15を形成後、非酸化性雰囲気(例えば、 N_2)中で、300〜700℃の温度で熱処理を行う。この結果、第2誘電体膜(例えば、BST膜)11と第2上部電極(例えば、Ru)15の間には、低温の熱処理でも遷移層14が形成され、第2誘電体膜11と第2上部電極膜15の間の界面の状態は良好になる。なお、この熱処理は、熱処理炉または急速加熱法のどちらの方法でおこなっても良いが、酸素が過剰に拡散することを防止する点を考慮すると急速加熱法で熱処理をおこなうことが好ましい。

【0076】このように、DRAMのキャパシタ構造が完成する。その後、通常のLSIプロセスにしたがって、配線、パッシベーション膜等を形成して、DRAMが完成する。

【0077】本実施形態は、以上のように構成されており、第2誘電体膜11の表面にイオン注入技術により第2上部電極膜15の構成元素を混入することによって、第2誘電体膜11の表面には、第2上部電極膜15の構成元素を混在させることができる。この結果、第5の実施形態のようなシリコン基板1へ高周波電圧を印加する方法と比較して、より制御性がよく第2上部電極膜15の構成元素を第2誘電体膜11の表面中へ多量に混入することができる。

【0078】以上、添付図面を参照しながら本発明にかかる半導体装置の製造方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範囲内において各種の変更例または修正例に想到することは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0079】例えば、上記実施の形態においては、混在領域を熱処理する条件として、非酸化性雰囲気中で300〜700℃の温度で熱処理をおこなう構成を例に挙げて説明したが、本発明はかかる例に限定されるものではなく、電極と高誘電体膜の界面特性、電極上に形成される酸化膜厚等の状態により、熱処理温度、雰囲気、時間等を適宜設定することができる。

【0080】例えば、上記実施の形態においては、混在領域を熱処理する非酸化性ガスとして、 N_2 ガスを採用する構成を例に挙げて説明したが、本発明はかかる例に限定されるものではなく、下部電極やバリアメタルが酸化されない条件であれば良いので、Ar、He、Neなどの他の不活性ガスを採用した場合でも本発明を実施することができる。したがって、例えば、混在領域を熱処

理するガス雰囲気は、例えば500℃以下のように低い温度で熱処理をおこなう場合には、酸化性雰囲気でも本発明を実施することができる。

【0081】また、上記の実施の形態においては、混在領域を形成した後に熱処理をおこない遷移層を形成してからキャパシタ構造を完成させる構成を例に挙げて説明したが、本発明はかかる例に限定されるものではなく、混在領域を形成してキャパシタ構造を形成してから一括して熱処理することによっても、本発明を実施することができる。

【0082】また、上記実施の形態においては、キャパシタの誘電体膜としてBSTを採用する構成を例に挙げて説明したが、本発明はかかる例に限定されるものではなく、 SrTiO_3 、 BaTiO_3 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{SrBi}_2\text{TiO}_9$ などのアルカリ土類金属を主成分として含む非金属無機材料から成る誘電体を用いた場合でも、本発明を実施することができる。また、ペロブスカイト構造を有する誘電体のみならず Ta_2O_5 等の誘電体膜を用いることによっても、本発明を実施することができる。

【0083】また、上記実施の形態においては、誘電体膜を形成する方法としてスパッタ法、CVD法を採用する構成を挙げて説明したが、本発明はかかる例に限定されるものではなく、蒸着法、MBE法、ゾルゲル法、レーザアブレーション法などを用いることによっても、本発明を実施することができる。

【0084】また、上記実施の形態においては、電極材料としてルテニウム(Ru)を採用する構成を例に挙げて説明したが、本発明はかかる例に限定されるものではなく、例えばイリジウム(Ir)、白金(Pt)等の高融点貴金属類を含む導電材料を電極材料として用いた場合や、さらには窒化チタン(TiN)、窒化タングステン(WN)等の化合物を電極材料として用いた場合でも、本発明を実施することができる。

【0085】また、上記実施の形態においては、膜厚30nm～500nmの下部電極膜、膜厚10nmの誘電体初期層、膜厚40nmの第2誘電体膜、膜厚50nm～300nmの上部電極を採用する構成を例に挙げて説明したが、本発明はかかる例に限定されるものではなく、各誘電体の膜厚や各電極の膜厚に応じて、基板に印加する高周波電圧や熱処理などの条件を変えることにより本発明を実施することができる。

【0086】また、上記実施の形態においては、キャパシタ構造をとる半導体装置としてDRAMを採用する構成を例に挙げて説明したが、本発明はかかる例に限定されるものではなく、例えばFRAM等、高誘電体膜を絶縁膜として使用するキャパシタ構造を有する半導体装置であれば、本発明を実施することができる。

【0087】

【発明の効果】本発明によれば、非酸化雰囲気中でかつ

低温の熱処理で、ペロブスカイト構造を有する誘電体膜とルテニウム系電極との間に遷移層($\text{Ba}_x\text{Sr}_y\text{Ru}_z\text{Ti}_w\text{O}_3$ 層)を形成することができるので、下部電極やバリアメタルが過剰に酸化することなく、誘電体膜と電極の間に良好な界面を得ることができる。この結果、極薄の高誘電膜を使用しても誘電体膜からのリーク電流が減少し良好な誘電体膜特性が得られる。

【0088】また、下部電極中に形成した混在領域を熱処理することにより遷移層を下部電極上に自己整合的に形成することができるため、遷移層をドライエッチングせずに容易に下部電極を形成することができる。この結果、遷移層のドライエッチング工程を省略して工程を簡略化することができ、生産コストや歩留まりが向上する。

【図面の簡単な説明】

【図1】本実施形態にかかる半導体製造装置の製造方法に使用されるスパッタ装置の構成を示した断面図である。

【図2】本発明の第1の実施の形態にかかるDRAMの製造工程を説明するための概略的な断面図である。

【図3】本発明の第1の実施の形態における誘電体膜形成時に印加した高周波電圧と各構成元素の逆スパッタ量との関係を示した説明図である。

【図4】本発明の第1の実施の形態における誘電体膜形成の初期層の状態を示した写真図である。

【図5】本実施形態にかかる方法より形成された誘電体初期層の誘電率と他の成膜方法により形成されたBST層の誘電率を比較した説明図である。

【図6】本発明の第3の実施の形態にかかるDRAMの製造工程を説明するための概略的な断面図である。

【図7】本発明の第4の実施の形態にかかるDRAMの製造工程を説明するための概略的な断面図である。

【図8】本発明の第5の実施の形態にかかるDRAMの製造工程を説明するための概略的な断面図である。

【図9】本発明の第7の実施の形態にかかるDRAMの製造工程を説明するための概略的な断面図である。

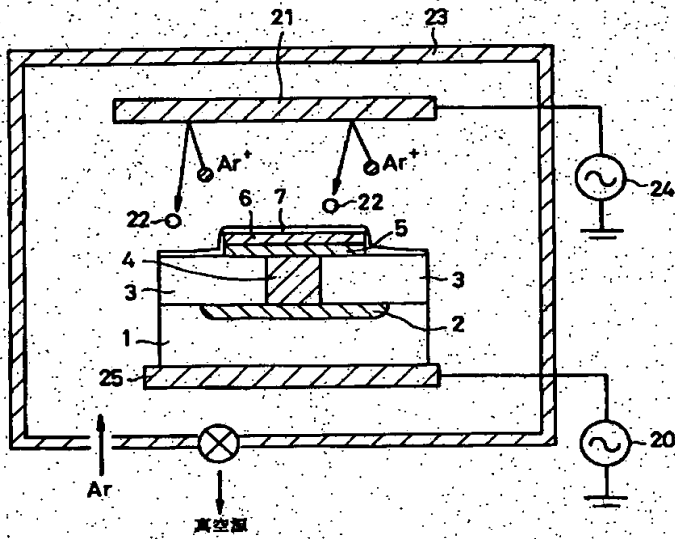
【図10】従来技術におけるDRAMの製造工程を説明するための概略的な断面図である。

【図11】従来技術におけるDRAMの製造工程を説明するための概略的な断面図である。

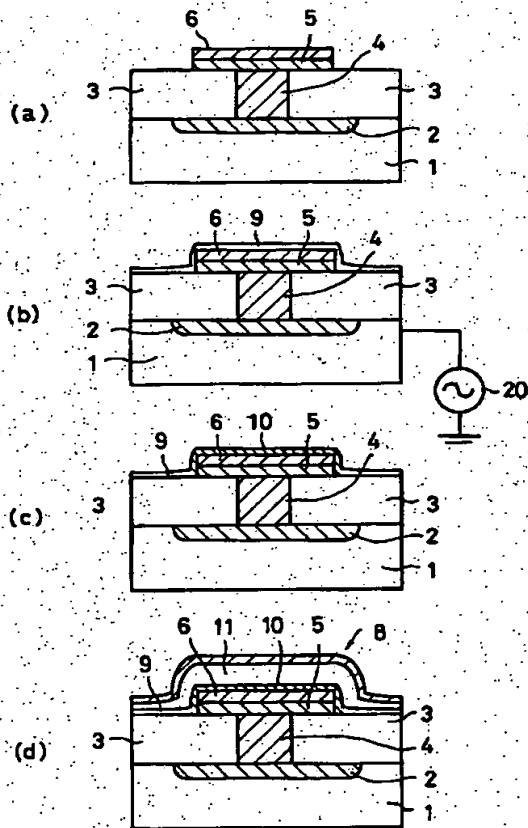
【符号の説明】

- 1 シリコン基板
- 6 下部電極
- 9 誘電体初期層
- 10 遷移層
- 11 第2誘電体膜
- 13 上部電極初期層
- 14 第2遷移層
- 15 第2上部電極膜

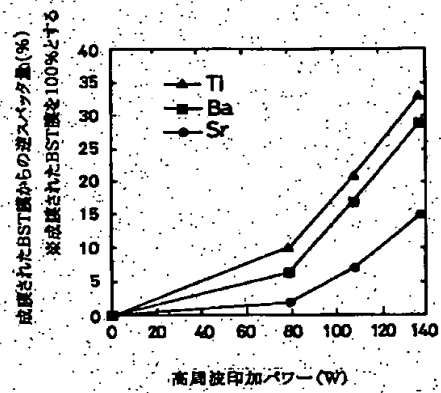
【図1】



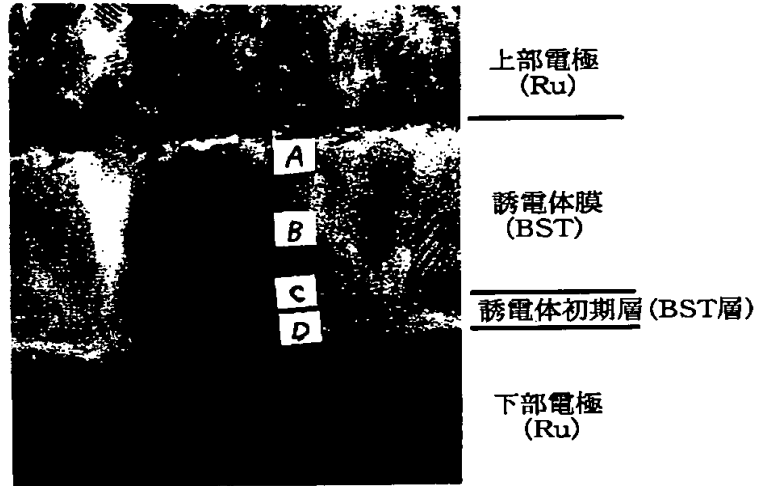
【図2】



【図3】



【図4】



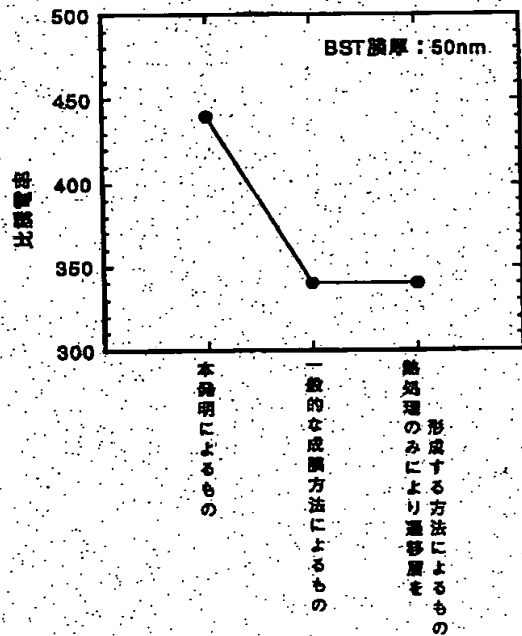
(a)

単位 (%)

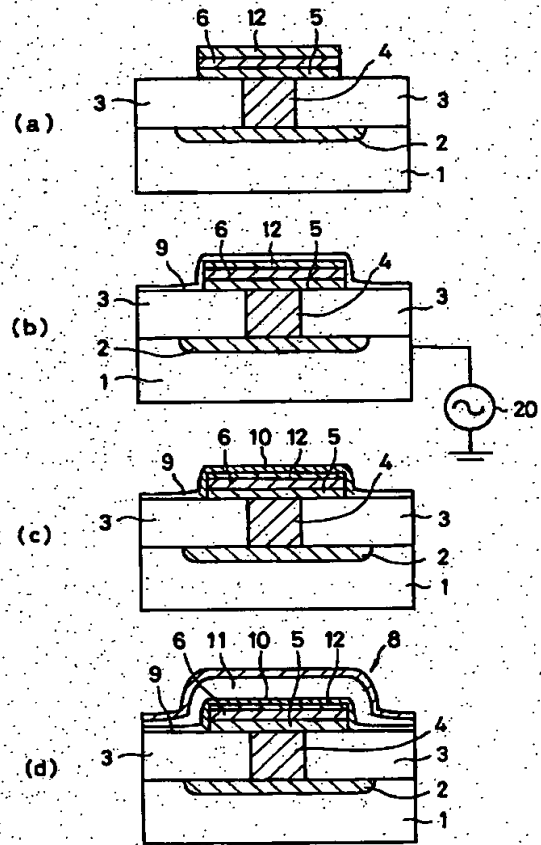
ポイント	O	Si	Ti	Sr	Ru	Ba	位置
A	48.8	—	28.2	10.7	—	12.4	BST上部
B	48.7	—	27.8	11.6	—	12.0	BST中央部
C	48.9	—	29.6	11.1	—	10.5	BST下部
D	33.7	—	29.7	11.6	15.0	10.1	BST初期層

(b)

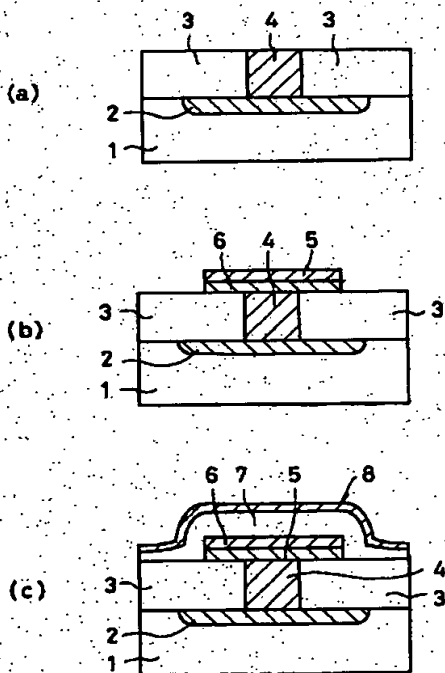
【図5】



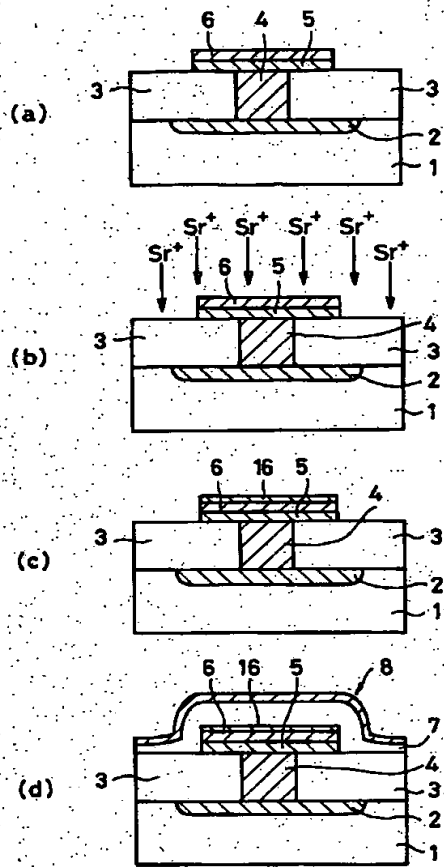
【図6】



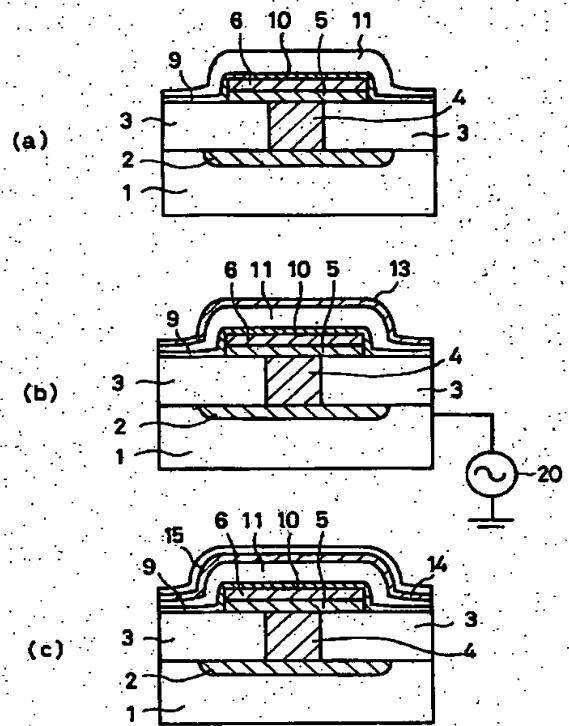
【図10】



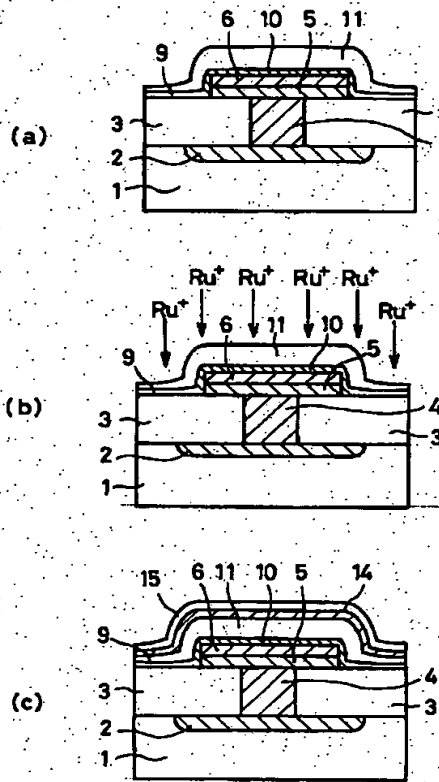
【図7】



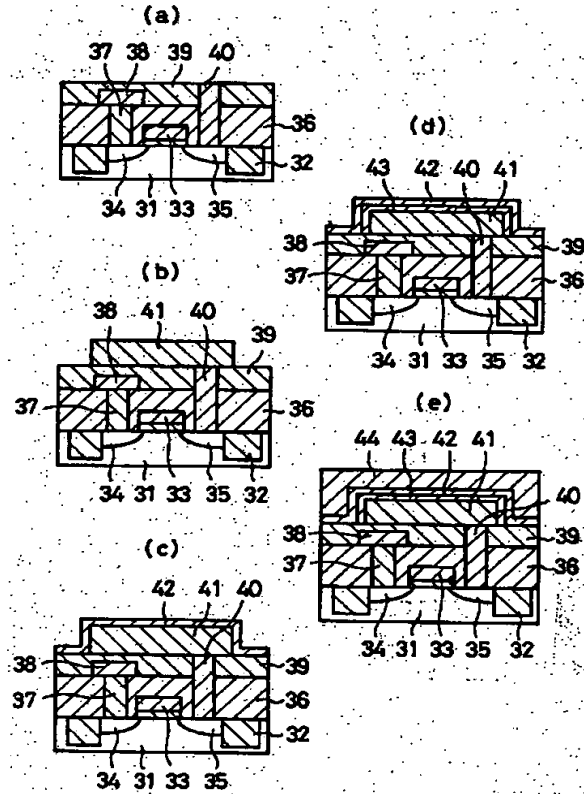
【図8】



【図9】



【図11】



フロントページの続き

Fターム(参考) 5F083 AD21 FR01 JA06 JA13 JA14
JA15 JA38 JA40 JA43 MA06
MA17 PR21 PR22 PR33 PR34
PR36